Seat No. / Enrolment No.:

GUJARAT TECHNOLOGICAL UNIVERSITY

Diploma Engineering – SEMESTER – 5 (NEW) – EXAMINATION – Summer-2025

Subject Code: 4353206 **Date: 19-05-2025**
Subject Name: VLSI Technology
Time: 02:30 PM TO 05:00 PM **Total Marks: 70**

Instructions:
1. **Attempt all questions.**
2. **Make Suitable assumptions wherever necessary.**
3. **Figures to the right indicate full marks.**
4. **Use of simple calculators and non-programmable scientific calculators are permitted.**
5. **English version is authentic.**

			Marks
Q.1	**(a)**	Draw neat labeled diagram of physical structure of n-channel MOSFET.	**03**
પ્રશ્ન.1	(અ)	n-ચેનલ MOSFET ના ભૌતિક બંધારણનું સુઘડ લેબલવાળી આકૃતિ દોરો.	૦૩
	(b)	Draw energy band diagram of depletion and inversion of MOS under external bias with MOS biasing diagram. Explain inversion region in detail.	**04**
	(બ)	એક્સટર્નલ બાયઝ હેઠળ MOSનું ડેપલિશન અને ઇનવરઝનનું એનર્જી બેન્ડ ડાયાગ્રામ દોરો ઇનવરઝન પ્રદેશને વિગતવાર સમજાવો.	૦૪
	(c)	Explain I-V characteristics of MOSFET.	**07**
	(ક)	MOSFET ની I-V કેરેક્ટરીસ્ટિક સમજાવો	૦૭
		OR	
	(c)	Define scaling. Explain the need of scaling. List and explain the negative effects of scaling.	**07**
	(ક)	સ્કેલિંગ વ્યાખ્યાયિત કરો. સ્કેલિંગની જરૂરિયાત સમજાવો. સ્કેલિંગની નકારાત્મક અસરોની સૂચિ બનાવો અને સમજાવો.	૦૭
Q.2	**(a)**	Implement Y’ = (AB’ + A’B) using CMOS.	**03**
પ્રશ્ન.2	(અ)	CMOS નો ઉપયોગ કરીને Y’ = (AB’ + A’B) અમલમાં મૂકો.	૦૩
	(b)	Explain enhancement load inverter with its circuit diagrams.	**04**
	(બ)	એન્હાન્સમેન્ટ લોડ ઇન્વર્ટર તેના સર્કિટ ડાયાગ્રામ સાથે સમજાવો.	૦૪
	(c)	Explain Voltage Transfer Characteristic of inverter.	**07**
	(ક)	ઇન્વર્ટરની વોલ્ટેજ ટ્રાન્સફર લાક્ષણિકતા સમજાવો.	૦૭
		OR	
Q.2	**(a)**	Explain NAND2 gate using CMOS.	**03**
પ્રશ્ન.2	(અ)	CMOS નો ઉપયોગ કરીને NAND2 ગેટ સમજાવો.	૦૩
	(b)	Explain operating mode and VTC of Resistive load inverter circuit.	**04**
	(બ)	રેજીસ્ટિવ લોડ ઇન્વર્ટર સર્કિટના ઓપરેટિંગ મોડ અને VTC સમજાવો.	૦૪
	(c)	Draw CMOS inverter and explain its operation with VTC.	**07**
	(ક)	CMOS ઇન્વર્ટર દોરો અને VTC સાથે તેની કામગીરી સમજાવો.	૦૭
Q. 3	**(a)**	Realize Y= $\overline{(A+B)C + D + E}$ using depletion load.	**03**
પ્રશ્ન.3	(અ)	ડિપ્લેશન લોડનો ઉપયોગ કરીને Y= $\overline{(A+B)C + D + E}$ રજુ કરો.	૦૩
	(b)	Write a short note on FPGA.	**04**
	(બ)	FPGA પર ટૂંક નોંધ લખો.	૦૪

	(c)	Draw and explain Y chart design flow.	**07**
	(ક)	Y ચાર્ટ ડિઝાઇન ફ્લો દોરો અને સમજાવો.	૦૭

OR

Q. 3	**(a)**	Explain NOR2 gate using depletion load.	**03**
પ્રશ્ન.3	(અ)	ડિપ્લેશન લોડનો ઉપયોગ કરીને NOR2 ગેટ સમજાવો	૦૩
	(b)	Compare full custom and semi-custom design styles.	**04**
	(બ)	ફુલ કસ્ટમ અને સેમિ કસ્ટમ ડિઝાઇન શૈલીઓની તુલના કરો.	૦૪
	(c)	Draw and explain ASIC design flow in detail.	**07**
	(ક)	ASIC ડિઝાઇન ફ્લો વિગતવાર દોરો અને સમજાવો.	૦૭
Q. 4	**(a)**	Implement the logic function $G = \overline{(A\,(D + E) + BC)}$ using CMOS	**03**
પ્રશ્ન.4	(અ)	CMOS સાથે $G = \overline{(A\,(D + E) + BC)}$ અમલમાં મૂકો.	૦૩
	(b)	Write a Verilog code for 3 bit parity checker.	**04**
	(બ)	3 બીટ પેરીટી ચેકરને અમલમાં મૂકવા માટે વેરીલોગ કોડ લખો.	૦૪
	(c)	Implement: 1) G = *(AD +BC+EF) using* CMOS 2) Y’ = (ABCD + EF(G+H)+ J) using CMOS	**07** **[03]** **[04]**
	(ક)	અમલમાં મૂકો: 1) G = (AD +BC+EF) CMOS ની મદદથી 2) Y’ = (ABCD + EF(G+H)+ J) CMOS ની મદદથી	૦૭ [૦૩] [૦૪]

OR

Q. 4	**(a)**	Explain AOI logic with example.	**03**
પ્રશ્ન.4	(અ)	ઉદાહરણ સાથે AOI સમજાવો.	૦૩
	(b)	Write Verilog Code for 4- bit Serial IN Parallel out shift register.	**04**
	(બ)	4-બીટ સીરીયલ ઈન પેરેલલ આઉટ શિફ્ટ રજીસ્ટર માટે વેરીલોગ કોડ લખો.	૦૪
	(c)	Implement clocked NOR2 SR latch and D-latch using CMOS.	**07**
	(ક)	CMOS નો ઉપયોગ કરીને ક્લોક્ડ NOR2 SR લેચ અને ડી-લેચનો અમલ કરો.	૦૭
Q.5	**(a)**	Draw the stick diagram for Y = (PQ +U)’ using CMOS considering Euler path approach.	**03**
પ્રશ્ન.5	(અ)	યુલર પાથ અભિગમને ધ્યાનમાં લેતા CMOS નો ઉપયોગ કરીને Y = (PQ +U)’ માટે સ્ટીક ડાયાગ્રામ દોરો.	૦૩
	(b)	Implement 8×1 multiplexer using Verilog	**04**
	(બ)	વેરિલોગનો ઉપયોગ કરીને 8×1 મલ્ટિપ્લેક્સર અમલમાં મૂકો.	૦૪
	(c)	Implement full adder using behavioral modeling style in Verilog.	**07**
	(ક)	વેરિલોગમાં બિહેવીયરલ મોડેલિંગ શૈલીનો ઉપયોગ કરીને ફુલ એડરને અમલમાં મૂકો.	૦૭

OR

Q.5	**(a)**	Implement NOR2 gate CMOS circuit with its stick diagram.	**03**
પ્રશ્ન.5	(અ)	NOR2 ગેટ CMOS સર્કિટને તેના સ્ટિક ડાયાગ્રામ સાથે અમલમાં મૂકો.	૦૩
	(b)	Implement 4 bit up counter using Verilog	**04**
	(બ)	વેરિલોગનો ઉપયોગ કરીને 4 બીટ અપ કાઉન્ટર અમલમાં મૂકવું	૦૪
	(c)	Implement 3:8 decoder using behavioral modeling style in Verilog.	**07**
	(ક)	વેરિલોગમાં બિહેવિયરલ મોડલિંગ સ્ટાઈલનો ઉપયોગ કરીને 3:8 ડીકોડરનો અમલ કરો	૦૭

****